章节目录

前言

1. 数字集成电路设计概要
   1. 什么是数字集成电路
      1. 什么是数字集成电路
      2. 数字集成电路与模拟集成电路的区别与联系
   2. 数字集成电路的发展史
      1. 国外
      2. 国内
   3. 现今数字集成电路的特点和挑战
      1. 摩尔定律（5nm、3nm之后）
      2. 数字集成电路的难点和挑战

1.4 数字集成电路设计的流程与主流EDA工具介绍

1.5 数字集成电路设计过程的管理

1.5.1 项目管理

1.5.2 研发管理

第2章 客户需求、立项、SPEC

2.1 需求

2.1.1 市场的战略定位决定产品方向

2.1.2 市场从客户搜集需求

2.1.3 从老产品中提出升级改进需求

2.2 立项流程

2.2.1 立项书

2.2.2 财务预算、成本控制

2.2.3 风险预测和管理

2.3 编写芯片SPEC

2.3.1 由谁写SPEC

2.3.2 SPEC中到底要写些什么

2.4 组建项目团队、确定分工

第3章 概要设计、架构设计

3.1 工艺选择、IP选择

3.2 架构设计、成本（面积）、性能、功耗

3.3 数字与模拟接口定义

3.4 算法设计与FPGA效果确认

3.5 系统建模

3.6 顶层floorplan

第4章 详细设计

4.1 可综合Verilog/SystemVerilog设计

4.2 组合逻辑电路

4.2.1 常见简单组合逻辑电路

4.2.2 加法和乘法电路

4.2.3 ECC校验与纠错

4.3 时序电路

4.3.1 计数器

4.3.2状态机

4.3.3 除法与流水线

4.4 同步电路与异步电路

4.4.1 为什么要求尽量用全同步电路

4.4.2 为什么异步电路不可避免

4.4.3 异步电路的陷阱和风险

4.4.4 异步电路有什么优势

4.4.5 异步FIFO的设计

4.5 如何把单端口SRAM包成双端口

4.5.1 需求介绍

4.5.2 写SPEC

4.5.3 架构图

4.5.4 编码设计

4.5 设计预留OPTION的方法

4.5.1 利用NVM存储器OTP/Efuse/EEPROM/Flash/RRAM

4.5.2 Metal OTP/封装option

4.6 设计中的测试电路

4.7 设计中的自动化

4.7.1 代码的自动生成

4.7.2 Chisel/Spinal HDL介绍

4.8 RTL的面积与性能评估

4.8.1 基于RTL的PPA评估方法

4.8.2 速度与面积的置换

4.9 代码质量的检查

第5章 数字验证

* 1. 数字验证的方法和选择
     1. 动态仿真
     2. 静态形式验证
     3. FPGA原型验证
     4. 硬件加速器
     5. 静态时序分析与动态时序后仿
  2. 验证计划和验证覆盖率
     1. 如何制定验证计划
     2. 如何执行验证计划
     3. 如何判断验证到达了终点
  3. SystemVerilog验证语言介绍
  4. UVM介绍
  5. 验证中的仿真模型
  6. 验证中的脚本和自动化
     1. Makefile与验证flow
     2. 寄存器模型自动生成
     3. 验证回归与验证报告统计分析
  7. python cocotb/pyuvm
  8. 案例

第6章 逻辑综合、物理综合

6.1 逻辑综合原理

6.2 常见SDC写法

6.2.1 时钟、生成时钟

6.2.2 端口延时

6.2.3 虚假路径

6.2.4 多时钟周期

6.3 物理综合

6.3.1 什么是物理综合

6.3.2 如何生成floorplan文件

6.3.3 物理综合需要读入哪些库

6.3.4 如何与后端APR工具对接

6.4 综合的报告

6.4.1 Error与Warning的检查

6.4.1 时钟报告

6.4.2 门控时钟报告

6.4.2 面积报告与优化

6.4.3 时序报告与优化

6.5 等价性检查

6.6 案例

第7章 DFT

7.1 DFT介绍与分类

7.1.1 Scan chain

7.1.2 Memory BIST

7.1.3 boundary scan

7.1.4 Logic BIST

7.2 用synopsys dft compiler来插入scan chain

7.2.1 介绍

7.2.2 案例

7.3 用mentor tessent来插入memory BIST电路

7.3.1 介绍

7.3.2 案例

7.4 ATPG测试向量的生成和仿真

第8章 自动布局布线

8.1 自动布局布线介绍和流程

8.1.1自动布局布线介绍和流程

8.1.2 后端工艺库介绍

8.2 floorplan

8.3 powerplan

8.4 Place

8.5 CTS

8.6 Route

8.7 DRC和时序收敛

8.8 Calibre检查DRC/LVS

8.9 常见问题和解决方法

8.10 案例

第9章 静态时序分析

9.1 静态分析介绍

9.2 Primetime静态分析流程

9.3 分布式多场景DMSA

9.4 PT时序ECO

9.5 PT功耗分析

第10章 封装、测试、交付客户

10.1 封装

10.1.1 常见封装

10.1.2 封装的兼容性设计

10.1.3. 封装的仿真

10.2 测试

10.2.1 CP测试

10.2.2 FT测试

10.2.3 工程样品测试

10.2.4 可靠性测试

10.3 交付客户

10.3.1 测试报告

10.3.2 风险评估报告

10.3.3 送样会议

10.3.4 小批次

10.3.4 量产

第11章 ECO工程变更

11.1 ECO介绍、分类、流程

11.1.1 ECO介绍

11.1.2 ECO分类

11.1.3 ECO流程

11.1 流片前的ECO

11.1.2 修改RTL、验证

11.1.3 修改网表、验证

11.1.3.1 手工修改网表

11.1.3.2 自动修改网表

11.1.4 APR ECO

11.2 流片后的ECO

11.2.1 修改网表

11.2.2 APR ECO

11.3 ECO需求与实际的折中

附录 281

附录A 281

附录B 291

参考文献